

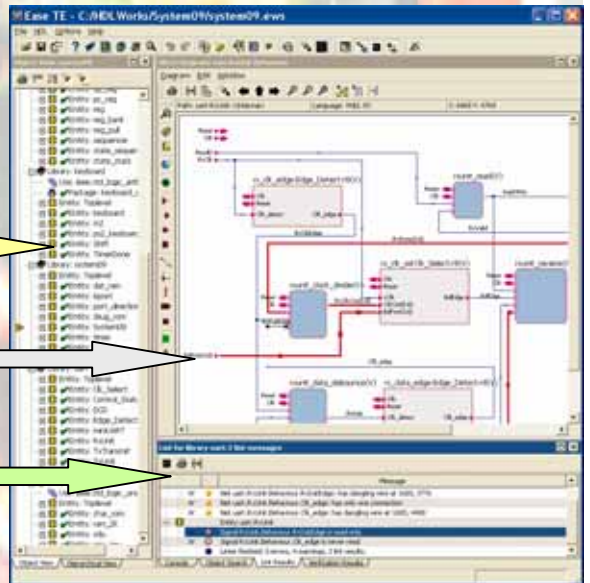
低価格+高パフォーマンス  
高密度FPGAデザインに最適

HDL統合環境・グラフィカルHDLエントリーツール

これからのASIC/FPGA設計標準デザインエントリーツールは各エンジニアが所有可能な低価格設定!!!

階層を越えたデザイン変更・反映  
ドキュメント生成(英文)  
IPの組み込みが可能  
統合されたバージョン管理

チームベースデザイン環境  
検証及びリント機能  
様々なインプリメント方法選択可能  
操作が容易



## NEW!!! GUI

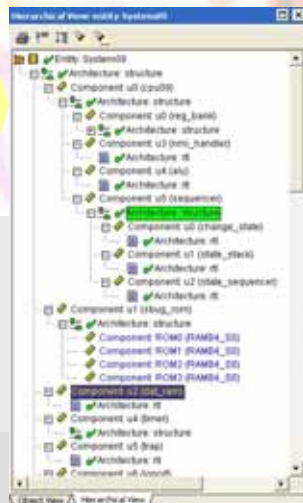
- デザインブラウザ**
  - ・オブジェクトビュー
  - ・階層ビュー
- 4種類のエディタ**
  - ・ブロックダイアグラムエディタ
  - ・トルース テーブルエディタ
  - ・状態ダイアグラムエディタ
  - ・HDLエディタ
- フィードバックパネル**
  - ・コンソール
  - ・検索結果
  - ・リント結果
  - ・検証結果

### デザインブラウザ

2つのビュー
 

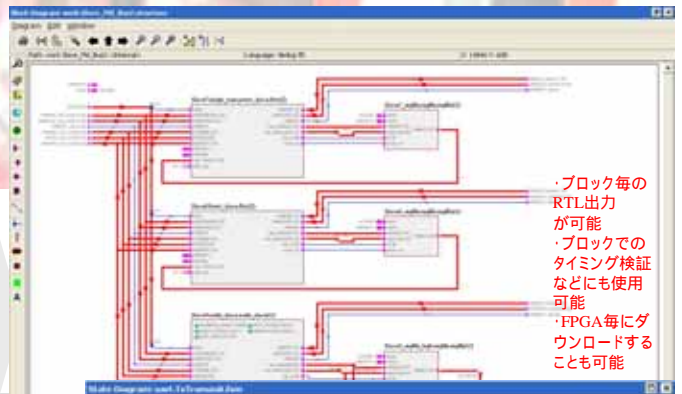
- ・オブジェクトビュー
- ・階層ビュー

ラベルカラーリング  
ツールチップによるオブジェクト詳細表示  
コンフィグレーション管理  
デザイン設定



### ブロックダイアグラムエディタ

階層ブロックにデザインを分解  
エンティティ/コンポーネント・モジュール/  
インスタンス及び内部接続コードを生成  
接続を視覚化  
インタラクティブな配置配線  
プロセス及びalwaysステートメントを視覚化

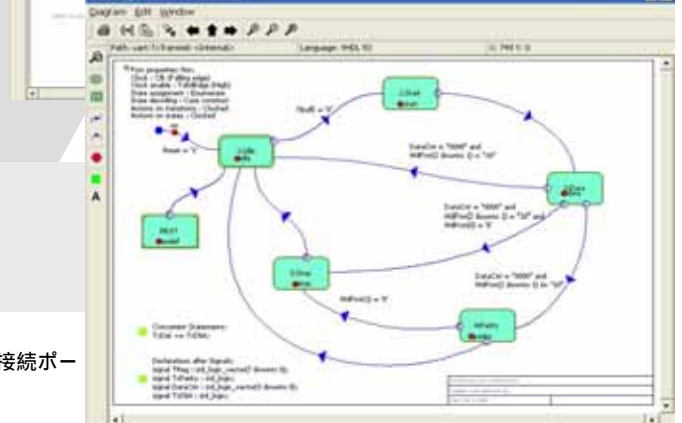


・ブロック毎のRTL出力が可能  
・ブロックでのタイミング検証などにも使用可能  
・FPGA毎にダウンロードすることも可能

### 状態ダイアグラムエディタ

不自然なビヘビアを指摘  
デフォルトアクション  
様々なスタイルの構成が可能

Moore, Mealy or mixed/REST state  
State encoding/Clocked or com-binational  
Clock enable

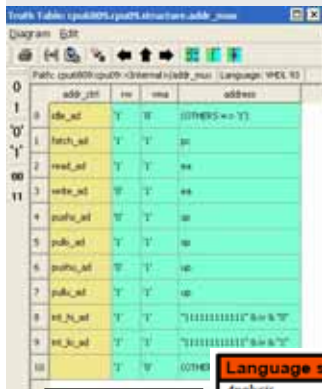


### トルース テーブルエディタ

デコーダ及びデジションロジックのコンパクトな表現  
ウィザード

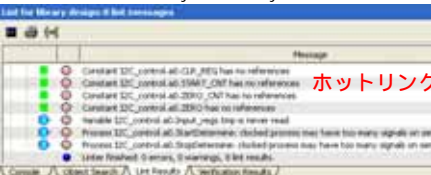
構成変更が可能なスタイルオプション
 

- ・クロック設定
- ・クロックインネブル
- ・Else IfもしくはCase インプリメンテーション



### 検証

シンタックスチェック 未接続ワイヤ検出 未接続ポート検出 孤立ステート検出 他  
リント(内蔵チェッカ)  
不使用信号・タイプ センシビリティリスト エンティプロセス Read-only, Write-only信号 他



### テキストエディタ 完全に統合されたHDLエディタ

・シンタックスカラーリング  
・カラム単位の編集  
・再入力自動補充機能  
・テンプレート  
・ホットエラーレポート  
・サポート言語:  
VHDL, Verilog, C, Perl, Tcl, EDIF及びJAVA



### 使用環境

USBドングル(オプション)により、外部持ち出しも可能!!!

Language support	EDA Vendor support		Operating Systems
.Analysis VHDL87, VHDL93 Verilog, Verilog 2001	Actel Cadence Mentor Graphics Model Technology Synplcity	Altera Lattice Silos Synopsys Xilinx	PC Windows 2000/XP PC Recent Linux distributions Sun SPARC Solaris 2.7 or later



# EASE Graphical HDL Entry 7.0

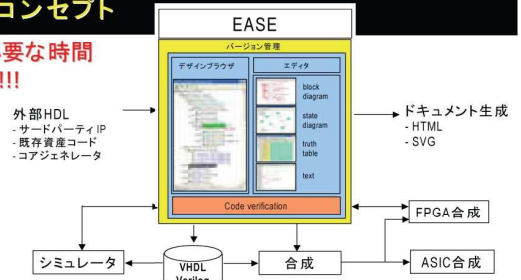
HDL統合環境・グラフィカルHDLエントリツール

## HDL生成

- ライブラリ、エンティティ、アーキテクチャ、モジュールもしくはコンフィグレーション用に生成
- マーカから階層を生成
- マーカからHDLをアップデート
- ライブラリ毎の出力位置
- 生成の設定(オールインワン・個別)
- シングルクリック生成
- ライブラリはVerilog及びVHDLの混在可能

## EASEコンセプト

HDL管理に必要な時間を大幅に削減!!!



## バージョン管理

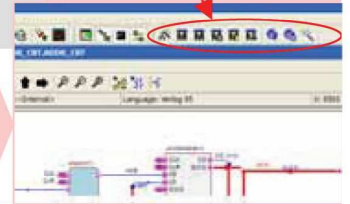
- きめ細かな管理: エンティティ/モジュールベース
- Telインタフェース経由でClearCase, Synchronicity, CVS及びRCS
- ブラウザ及びダイアグラムからバージョン管理が可能
- インクリメンタルセーブ(修正されたオブジェクトのみ保存)

## チームベースデザイン

- 複数のエンジニアが同時に1つのプロジェクト
- バージョン管理システムに基づく
- プロジェクト毎に専用の格納場所
- ユーザ毎に専用のワークスペース

## ツールインタフェース

ツールバー追加により、プロジェクトパラメータ設定、シミュレーションや合成ツールの操作などサードパーティツールへの直接アクセスが容易。



■信号ハイライト  
DLの高可読性  
が容易 ■テキ  
EASEプロジェク  
在言語サポート

- サードパーティシミュレータ、合成ツール配置配線ツールへのインタフェース統合
- ツールバージョン選択も可能
- デザインフロー設定が容易で、完結したフローによりデザイン動作までの時間削減

# HDL Companion 2.4

HDL統合環境・解析・編集(高性能HDLテキストエディタ付)

グラフィカル表示不要・ブロック図もステートマシンも不要、高価なツールも不要、HDLフロー・データベース管理が必要という多品種デザイン管理が必要なHDLデザイナーの方に...

- サードパーティIP、既存コードやHDLソースコードを含む、いかなるデザインのオーバービューも作成し、保存できます。
- 全てのデザインディレクトリやデザインファイルは本製品の中にドラッグ&ドロップされ、巨大なデザインについての情報が、完全なデザインオーバービューとして数秒で生成されます。
- GUIにより、複数の方法でデザインをナビゲーションでき、容易に検索できます。Verilog/VHDL/混在デザインコードが可能で、不完全でも、またエラーがあったとしても入力可能です。

## 複雑なHDLデザインのオーバービューを維持、新コードのあるIPを接続、IPの理解の理想的な環境

3つのウィンドウにより、デザインの理解を早めます。

### グローバルウィンドウ

さらに、ファイルビュー、オブジェクトビュー、階層デザインビューの3つのビューに分かれ、全てのデザインの詳細へ素早く移動できます。デザインファイルを読み込み、即座にデザイン階層、ライブラリ構造及び全てのデザインのオブジェクトを表示します。

### ライブラリマネージメント

デザインファイルを読み込むと自動的に各オブジェクト用の正しいデザインライブラリを決定します。関連したオブジェクト及び使用ライブラリを特定し、ご使用のサードパーティインタフェースを経由して、コンパイラへ正しい情報を渡します。新ライブラリの生成も可能です。ソースウィンドウは、マルチドキュメントインタフェースを持つ、各言語に対応したテキストエディタ

Scriptum を提供します。

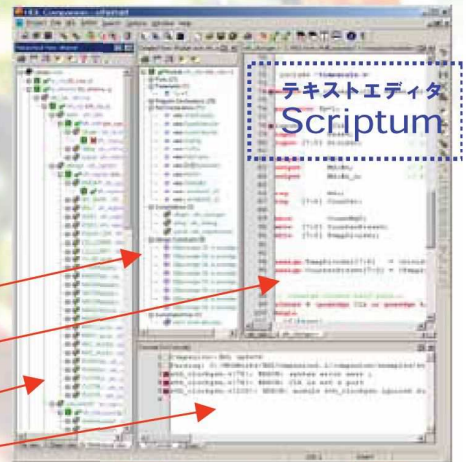
ホットリンクと連動して、対象プロジェクト内の各プロジェクト用に詳細情報を生成します。

- データベース形式のオーバービュー
- アルファベットインデックス
- 各プロジェクト用の詳細ビュー
- カラーコード化されたHDLファイル

IP(社内製及びベンダー<FPGA>)を使用しやすくする為に、IPを対象ファイルにスムーズにリンク。コンフィグレーションダイアログにより、ベンダーインストールディレクトリ(Actel, Altera及びXilinxなど)を特定でき、HDLGのレジスタベースにIPパーツを加えることが可能です。プロジェクトベースでIPの使用をコントロール可能です。

- ノードロックライセンス: Windows2000/XP
- フローティングライセンス: Windows2000/XP  
RedHat Linux 9もしくはそれ以降  
Solaris 2.7もしくはそれ以降

詳細ウィンドウ  
ソースウィンドウ  
階層デザインビュー  
コンソールウィンドウ



USB dongle (オプション)により、外部持ち出しも可能!!!

## HDLWorks B.V.

Maxwellstraat 19,6716 BX Ede, The Netherlands

Tel: +31 (0)318-642022 Fax: +31 (0)318-636482

Translogicを買収した後、2004年5月に設立したプライベートカンパニーで、幅広いアプリケーション用の複雑なHDLデザイン向け、高機能で直感的なツールの開発・販売をしています。

英文データシート、英文マニュアル、英文関連情報は、

<http://www.hdlworks.com/>

各ソフトウェアは、無償評価ライセンスを発行しております。

Copy right PROTOTYPING Japan Corp. 無断掲載転用を禁じます。記載内容は、お断りなく変更する場合があります。