

- 低価格+高パフォーマンス
- 多ピンFPGAデザインに最適

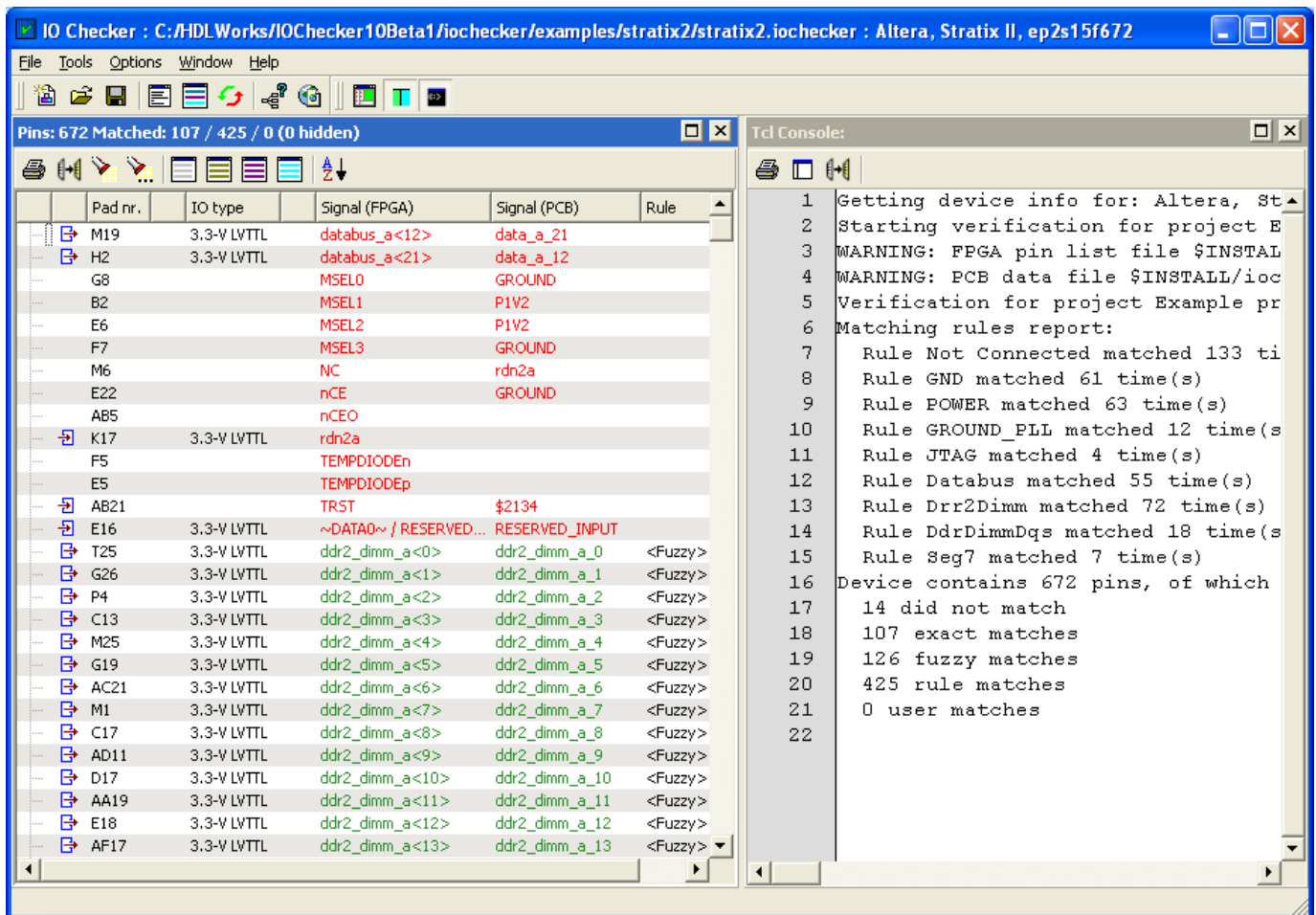
FPGA/基板間 FPGAピンデータチェック・変換ツール

基板とFPGA間での異なるFPGA入出力ピン情報をGUI上で簡単に比較認識。TATを大幅短縮!!!

IOCheckerにより、FPGAデータのある基板データを容易に検証できます。FPGAピンリストファイルと基板ネットリストファイルをIOCheckerにローディングすると、IOCheckerは即座に正確な信号名のマッチング認識をおこないます。また、FPGAと基板信号名間で良くある相違点を扱うファジールールも使用可能で、FPGAと基板上で異なった信号名が使用された場合、IOCheckerで、これらの名前を合致させるためのルールを定義することにより、個別に各信号を確認する必要がなくなります。ルールを定義すると、FPGAと基板側のどちらかで変更され、FPGAピンリスト及び(もしくは)基板ネットリストを再ロードし、IOCheckerは全てのピンを再チェックして、即座に全ての問題がないことを確認できます。

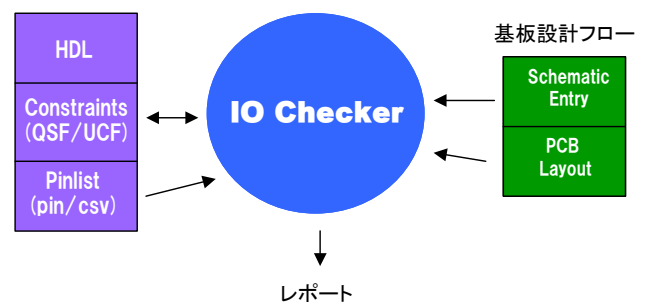
直感的なGUI

これからの複雑な最新FPGAデザインプロジェクトも、今まで同様、時間と人手をかけて約1000ピンの2つのリストをチェックし、手直しを続けるのですか？



基板の大規模FPGAを使用する際に、FPGAピンが正しい信号に接続されているか確認する作業は、正確さが求められ、多くの時間と手間を費やします。FPGA上では、ピンはHDL信号に対してアサインされており、基板上ではピンは他の部品へ接続する正しいネットへ接続します。FPGAと基板のインプリメンテーションは平行しておこなわれますので、使用される信号名はいつも同一にならない場合が多く、ピン変更により、基板配線の問題がおこらないようにします。これらのピン変更は、FPGAと基板間でおこなう必要がありますが、最新のFPGAは1500ピンを超えるなどピン数が多く、マニュアルによる作業は間違いを起こす可能性があります。

FPGA設計フロー



機能

ファジーマッチング

FPGAと基板間の名称以外の相違点は、ツールが、'(、'[もしくは'<', 及び (bus[2])のようなバス信号及び (bus_2)のような拡張された信号のバスインデックスをアドレスすることにより、表すことが可能です。IOCheckerは、全てのバスインジケータ('<'及び '[')をシングルインジケータ('<')に対して再マッピングし、ファジー名コンパレータは名称の下の部分を無視します。



益々増加するFPGA使用プロジェクトに迅速に対応。高価なEDAツール不要。間違いやすく煩雑な手作業も不要。フローティング&タイムベースライセンスで必要なときにご使用可能。

- 完成品でのASICからFPGAへ置き換え、汎用及びカスタムFPGAボードでのASICプロトタイプ用途などで有効ご使用。
- 時間と正確さが要求され、しかも単純な作業を大幅に合理化します。エンジニアの方は本来の開発設計業務へ専念して下さい。

ルールベースマッチング

| Rule | Default | Active | FPGA pin | PCB pin |
|-----------------|--------------------------|-------------------------------------|----------------------|------------|
| 1 Not Connected | <input type="checkbox"/> | <input checked="" type="checkbox"/> | NC | <NC> |
| 2 GND | <input type="checkbox"/> | <input checked="" type="checkbox"/> | GND.* | GROUND |
| 3 Databus | <input type="checkbox"/> | <input checked="" type="checkbox"/> | databus_{lw*}<{\d+}> | data_#1_#2 |
| 4 Drr2Dimm | <input type="checkbox"/> | <input checked="" type="checkbox"/> | ddr2_dimm_dq<{\d+}> | Dimm_dq_#1 |

Fuzzy name matching:

- Ignore array indicators (name<5> will match name5)
- Ignore underscores (name_x will match namex)

マッピングルールを生成するのにルールダイアログを使用します。これにより、マッチングされていない信号名をマッチングさせることが可能です。マッチングルールにより通常の表現を関連信号名に迅速にマッチングできます。ユーザ設定により、デフォルトルールを定義でき、容易に他のプロジェクトでの再使用可能。

電源ルール

基板にFPGAを置く際、電源ピンに関する誤りがあります。FPGAのIOバンクは、FPGAコア電圧と異なるVCC電圧を要求されることがあり、これらのバンクは異なった電圧供給が要求される異なったIO標準用にプログラムできます。IOCheckerは、FPGAベンダーのピンリストファイルから要求される電源情報を抽出し、基板ネットリストから得られる電圧情報とそれらと比較します。

HTML

HTMLドキュメンテーション機能により、IOChecker信号ビューをHTMLドキュメントにエクスポートすることが可能です。

容易なインクリメンタルアップデート

- ・変更されたファイルの容易なインポート
- ・変更すべきファイルはあらかじめ選択される
- ・変更されたアサインメント、IO標準及び電源プロパティ

Select files for reload:

- ta1/iochecker/examples/stratix2/example.pin)
- IOBeta1/iochecker/examples/stratix2/example.qsf)
- IOBeta1/iochecker/examples/stratix2/example.pxxr)

FPGAデバイス

Altera: Cyclone, Cyclone II, Cyclone III